

Министерство образования и науки Российской Федерации
Федеральное агентство по образованию

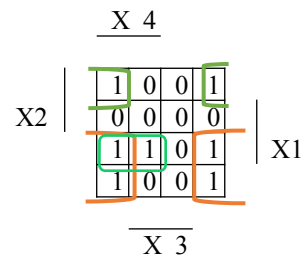
**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ «ЛЭТИ»
ИМЕНИ В.И. УЛЬЯНОВА (ЛЕНИНА)**

ОТЧЕТ
по дисциплине «Схемотехника цифровых
устройств»
лабораторная работа №2

Выполнил:
студент гр. 0123
Бурганов С.А.

Санкт-Петербург, 2022г.

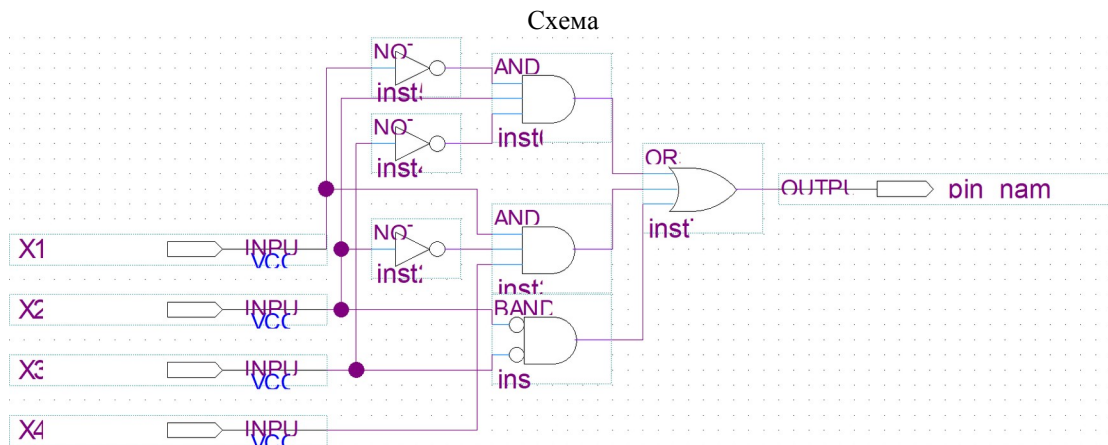
Диаграмма Вейча



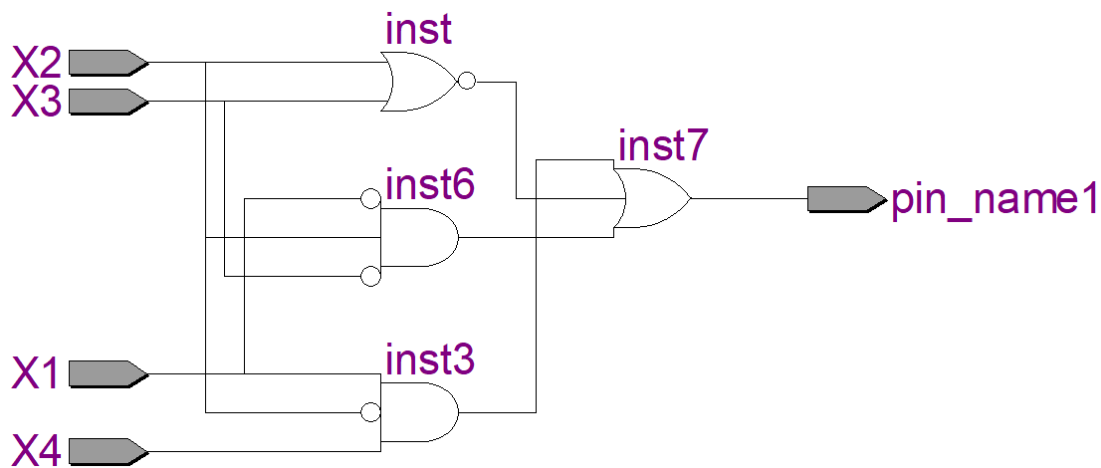
$$\text{МНД}\Phi = \overline{X_2} * \overline{X_3} + X_1 * \overline{X_2} * X_4 + \overline{X_1} * X_2 * \overline{X_3}$$

Таблица истинности

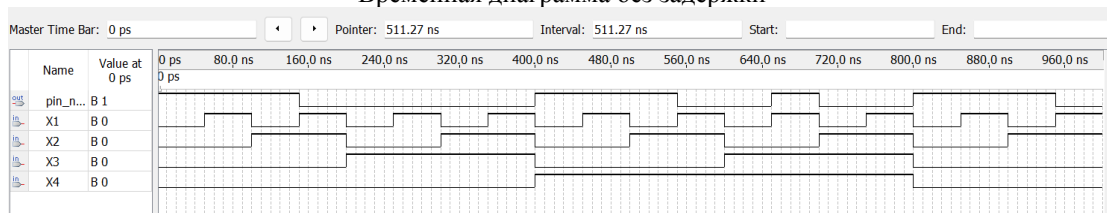
X_2	X_4	X_1	X_3	$\frac{\overline{X_2} * \overline{X_3}}{X_3}$	$\frac{X_1 * \overline{X_2} * X_4}{X_4}$	$\frac{\overline{X_1} * X_2 * \overline{X_3}}{X_3}$	$\frac{\overline{X_2} * \overline{X_3} + X_1 * \overline{X_2} * X_4 + \overline{X_1} * X_2 * \overline{X_3}}{X_3}$
0	0	0	0	1	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	0	0	0	0
0	1	1	0	1	1	0	1
0	1	1	1	0	1	0	1
1	0	0	0	0	0	1	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0



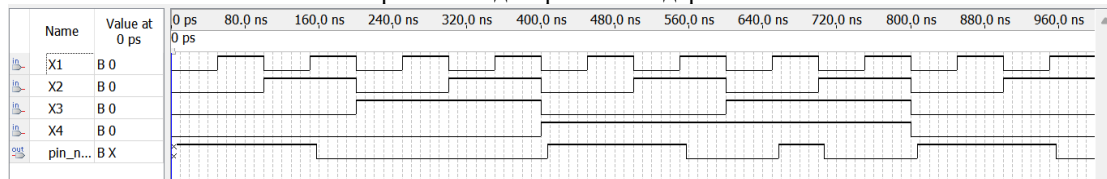
RTL Viewer



Временная диаграмма без задержки



Временная диаграмма с задержкой



Фрагмент кода на Verilog

```

1  module simple (x1, x2, y1, y2, y3, y4);
2  input x1, x2;
3  output y1, y2, y3, y4;
4
5  assign y1 = x1 & x2;
6  assign y2 = x1 | x2;
7  assign y3 = x1 ^ x2;
8  assign y4 = ~x1;
9
10 endmodule

```

Pin Planner

Top View - Wire Bond
Cyclone IV E - EP4CE22F17C6

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
pin_name1	Output	PIN_A5	8	B8_NO	2.5 V...fault		8mA (...ault) 2 (default)		
x1	Input	PIN_C9	7	B7_NO	2.5 V...fault		8mA (...ault)		
x2	Input	PIN_D9	7	B7_NO	2.5 V...fault		8mA (...ault)		
x3	Input	PIN_E11	7	B7_NO	2.5 V...fault		8mA (...ault)		
x4	Input	PIN_E10	7	B7_NO	2.5 V...fault		8mA (...ault)		

Вывод

В ходе данной лабораторной работы я изучил работу с диаграммой Вейча, вывел из неё минимальную дизъюнктивную нормальную форму переключательной функции. Далее в программе Quartus построил эту функцию из логических элементов булевой алгебры, вывел упрощённую форму через RTL Viewer. Прописал код в описании программы на языке Verilog провёл дальнейшую её компиляцию и загрузку в Altera Cyclone IV E.